

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: Hirofumi WATATANI

Serial Number: Not Yet Assigned

Filed: October 16, 2003

**Customer No.: 38834**

For: MICRO PATTERN FORMING METHOD AND SEMICONDUCTOR DEVICE  
MANUFACTURING METHOD

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

October 16, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2002-304015, filed on October 18, 2002**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Scott M. Daniels  
Reg. No. 32,562

Atty. Docket No.: 032015  
1250 Connecticut Ave, N.W., Suite 700  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
SMD/II



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年10月18日

出 願 番 号  
Application Number:

特願2002-304015

[ ST.10/C ]:

[ JP 2002-304015 ]

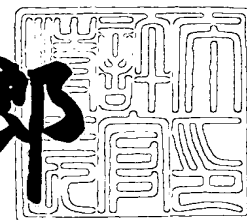
出 願 人  
Applicant(s):

富士通株式会社

2003年 6月 9日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3044534



【書類名】 特許願

【整理番号】 0240991

【提出日】 平成14年10月18日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/027

【発明の名称】 微細パターンの形成方法及び半導体装置の製造方法

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 綿谷 宏文

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100091340

    【弁理士】

    【氏名又は名称】 高橋 敬四郎

    【電話番号】 03-3832-8095

【選任した代理人】

    【識別番号】 100105887

    【弁理士】

    【氏名又は名称】 来山 幹雄

    【電話番号】 03-3832-8095

【手数料の表示】

    【予納台帳番号】 009852

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1



【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【包括委任状番号】 0109607

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 微細パターンの形成方法及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 下地基板の表面上に、吸収モードにより反射を抑制する第 1 の反射防止膜を形成する工程と、

前記第 1 の反射防止膜の上に、減殺的干渉モードにより反射を抑制する第 2 の反射防止膜を形成する工程と、

前記第 2 の反射防止膜の上に、キャップ膜を形成する工程と、

前記キャップ膜の上に、感光性レジスト膜を形成する工程と、

前記感光性レジスト膜を、第 1 の波長の光で露光して潜像を形成する工程と、

露光された前記レジスト膜を現像する工程と

を有する微細パターンの形成方法。

【請求項 2】 前記第 1 の波長における前記キャップ膜の減衰係数が、前記第 2 の反射防止膜の減衰係数よりも小さい請求項 1 に記載の微細パターンの形成方法。

【請求項 3】 前記第 1 の波長における前記キャップ膜の減衰係数が 0 である請求項 1 または 2 に記載の微細パターンの形成方法。

【請求項 4】 前記第 1 の波長における前記第 1 の反射防止膜の減衰係数が 1 以上である請求項 1 ～ 3 のいずれかに記載の微細パターンの形成方法。

【請求項 5】 前記第 1 の波長における前記第 2 の反射防止膜の減衰係数が 0.9 以下である請求項 1 ～ 4 のいずれかに記載の微細パターンの形成方法。

【請求項 6】 半導体素子が形成され、絶縁性表面の一部に導電性部材が露出した基板の表面上に層間絶縁膜を形成する工程と、

前記層間絶縁膜の上に、第 1 の減衰係数を有する第 1 の反射防止膜を形成する工程と、

前記第 1 の反射防止膜の上に、前記第 1 の減衰係数よりも小さい第 2 の減衰係数を有する第 2 の反射防止膜を形成する工程と、

前記第 2 の反射防止膜の上に、キャップ膜を形成する工程と、

前記キャップ膜の上に、第 1 の感光性レジスト膜を形成する工程と、



前記第 1 の感光性レジスト膜を第 1 の波長の光で露光し、現像して、該第 1 の感光性レジスト膜に開口を形成する工程と、

前記第 1 の感光性レジスト膜をマスクとして、前記層間絶縁膜をエッチングする工程と  
を有する半導体装置の製造方法。

【請求項 7】 前記第 1 の波長における前記キャップ膜の減衰係数が、前記第 2 の反射防止膜の減衰係数よりも小さい請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 前記第 1 の波長における前記キャップ膜の減衰係数が 0 である請求項 6 または 7 に記載の半導体装置の製造方法。

【請求項 9】 前記第 1 の波長における前記第 1 の反射防止膜の減衰係数が 1 以上である請求項 6 ～ 8 のいずれかに記載の半導体装置の製造方法。

【請求項 10】 前記第 1 の波長における前記第 2 の反射防止膜の減衰係数が 0.9 以下である請求項 6 ～ 9 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、微細パターンの形成方法及び半導体装置の製造方法に関し、特に反射防止膜上に感光性レジスト膜を形成し、露光及び現像を行って微細パターンを形成する方法、及び微細パターンを用いて半導体装置を製造する方法に関する。

【0002】

【従来の技術】

図 8 を参照して、従来のデュアルダマシン法を用いた銅配線の形成方法を説明する。

【0003】

図 8 (A) に示すように、半導体基板上の層間絶縁膜 100 の表層部に形成された配線溝内に銅配線 101 が埋めこまれている。層間絶縁膜 100 の上に、銅の拡散を防止する拡散防止膜 102 を形成する。その上に、層間絶縁膜 103、エッチングストッパ膜 104、層間絶縁膜 105、反射防止膜 106 を順番に積



層する。反射防止膜 1 0 6 の上に、レジスト膜 1 0 7 を形成する。レジスト膜 1 0 7 を露光、現像し、ビアホールに対応した開口 1 0 7 a を形成する。

【 0 0 0 4 】

反射防止膜 1 0 6 の材料として、減衰係数  $k$  が 1 より大きいものを使用される。これにより、下層からの露光光の反射量のばらつきによる影響を軽減し、レジスト膜 1 0 7 を制御性よくパターンニングすることができる。

【 0 0 0 5 】

図 8 (B) に示すように、レジスト膜 1 0 7 をマスクとして、反射防止膜 1 0 6 から層間絶縁膜 1 0 3 の底面までエッチングし、ビアホール 1 1 0 を形成する。

【 0 0 0 6 】

図 8 (C) に示すように、レジスト膜 1 0 7 を除去する。その後、エッチングストップ膜 1 0 4 の上面まで達する配線溝を形成する。ビアホール 1 1 0 の底面に残っている拡散防止膜 1 0 2 を除去して、銅配線 1 0 1 を露出させる。配線溝とビアホール 1 1 0 内を銅で埋め込むことにより、銅配線が形成される。

【 0 0 0 7 】

ビアホール 1 1 0 の直径が  $0.3 \mu\text{m}$  以上であれば、上記方法でビアホール 1 1 0 を形成することができる。ところが、ビアホール 1 1 0 の直径がそれ以下になると、レジスト膜 1 0 7 内に発生する定在波の影響により、ビアホール用の微細な開口を形成することが困難である。

【 0 0 0 8 】

図 9 を参照して、特許文献 1 に記載された露光方法について説明する。図 9 (A) に示した層間絶縁膜 1 0 0 から反射防止膜 1 0 6 までの積層構造は、図 8 (A) に示したものと同一である。図 9 (A) の従来例においては、反射防止膜 1 0 6 の上に、第 2 層目の反射防止膜 1 2 0 が形成されている。図 9 (B) に示すように、第 2 層目の反射防止膜 1 2 0 の上にレジスト膜 1 2 1 が形成され、このレジスト膜 1 2 1 の露光及び現像が行われる。

【 0 0 0 9 】

第 1 層目の反射防止膜 1 0 6 は吸収モードで用いられる。吸収モードでは、露



光を吸収することによってレジスト膜に戻る散乱光を少なくし、好ましくない露光が回避される。

【 0 0 1 0 】

第 2 層目の反射防止膜 1 2 0 は、減殺的干渉モードで用いられる。減殺的干渉モードでは、反射防止膜の底面で反射した反射光と、上面で反射した反射光との位相をずらせることにより、レジスト膜に戻る反射光が弱められる。

【 0 0 1 1 】

吸収モードで用いられる反射防止膜と、減殺的干渉モードで用いられる反射防止膜とを積層することにより、レジスト膜に戻る反射光を弱め、微細なパターンを形成することが可能になる。

【 0 0 1 2 】

【特許文献 1】

特開 2 0 0 0 - 1 9 5 7 9 1 号公報

【 0 0 1 3 】

【発明が解決しようとする課題】

現実の生産工程では、レジスト膜のパターニングを行う際に、常に期待どおりの大きさの開口が形成できるとは限らない。現像後の開口の大きさが設計値からずれている場合には、レジスト膜をアッシングにより除去し、再度レジストを塗布する。

【 0 0 1 4 】

レジスト膜のアッシング時に、第 2 層目の反射防止膜 1 2 0 の表層部が、酸化等によって変質する。反射防止膜 1 2 0 の表層部が変質すると、所望の反射率低減効果が得られなくなる。このため、最適露光量が設計値からずれてしまう。

【 0 0 1 5 】

本発明の目的は、レジスト膜をアッシングして再度レジスト塗布を行っても、当初の反射率低減効果を得ることが出来る微細パターン形成方法を提供することである。

【 0 0 1 6 】

本発明の他の目的は、上記方法で形成した微細パターンを利用して半導体装置



を製造する方法を提供することである。

【 0 0 1 7 】

【課題を解決するための手段】

本発明の一観点によると、下地基板の表面上に、吸収モードにより反射を抑制する第1の反射防止膜を形成する工程と、前記第1の反射防止膜の上に、減殺的干渉モードにより反射を抑制する第2の反射防止膜を形成する工程と、前記第2の反射防止膜の上に、キャップ膜を形成する工程と、前記キャップ膜の上に、感光性レジスト膜を形成する工程と、前記感光性レジスト膜を、第1の波長の光で露光して潜像を形成する工程と、露光された前記レジスト膜を現像する工程とを有する微細パターンの形成方法が提供される。

【 0 0 1 8 】

本発明の他の観点によると、半導体素子が形成され、絶縁性表面の一部に導電性部材が露出した基板の表面上に層間絶縁膜を形成する工程と、前記層間絶縁膜の上に、第1の減衰係数を有する第1の反射防止膜を形成する工程と、前記第1の反射防止膜の上に、前記第1の減衰係数よりも小さい第2の減衰係数を有する第2の反射防止膜を形成する工程と、前記第2の反射防止膜の上に、キャップ膜を形成する工程と、前記キャップ膜の上に、第1の感光性レジスト膜を形成する工程と、前記第1の感光性レジスト膜を第1の波長の光で露光し、現像して、該第1の感光性レジスト膜に開口を形成する工程と、前記第1の感光性レジスト膜をマスクとして、前記層間絶縁膜をエッチングする工程とを有する半導体装置の製造方法が提供される。

【 0 0 1 9 】

第1及び第2の反射防止膜により、反射率を低減させ、感光性レジスト膜に極微細な開口を形成することができる。レジスト膜を除去する時に、キャップ膜が上側反射防止膜を保護する。露光不良のためにレジスト膜を除去し、再度、レジスト膜の形成、露光、及び現像を行う場合にも、設計通りの反射防止効果を得ることができる。

【 0 0 2 0 】

【発明の実施の形態】



図 1 ～ 図 5 を参照して、第 1 の実施例による半導体装置の製造方法について説明する。

#### 【 0 0 2 1 】

図 1 (A) に示すように、シリコンからなる基板 1 の表面上に、素子分離領域 2 が形成されている。素子分離領域 2 は、シリコン局所酸化 (LOCOS) や、シャロートレンチアイソレーション (STI) により形成される。素子分離領域 2 で囲まれた活性領域上に、ゲート電極 3 G、ソース領域 3 S、及びドレイン領域 3 D を含む MOSFET 3 が形成されている。ゲート電極 3 G の上に、上部絶縁膜 3 I が形成されており、ゲート電極 3 G 及び上部絶縁膜 3 I からなる積層構造の側面上に、サイドウォールスペーサ 3 W が形成されている。MOSFET 3 は、周知の成膜、フォトリソグラフィ、エッチング、イオン注入等の工程を経て形成される。

#### 【 0 0 2 2 】

基板 1 の表面上に、MOSFET 3 を覆うように、炭化シリコン (SiC) からなるエッチングストッパ膜 5 を形成する。エッチングストッパ膜 5 の上に、フオスフォシリケートガラス (PSG) からなる厚さ 30 nm の層間絶縁膜 6 を、化学気相成長 (CVD) により形成する。ソース領域 3 S 及びドレイン領域 3 D に対応する位置に、層間絶縁膜 6 及びエッチングストッパ膜 5 を貫通するビアホールを形成する。ビアホールの内面を、チタン (Ti)、窒化チタン (TiN)、または窒化タンタル (Ta<sub>2</sub>N<sub>5</sub>) 等のバリアメタル層 8 で覆い、内部にタングステン (W) プラグ 9 を埋め込む。バリアメタル層 8 及びタングステンプラグ 9 は、成膜と化学機械研磨 (CMP) により形成することができる。

#### 【 0 0 2 3 】

層間絶縁膜 6 の上に、SiC からなる厚さ 50 nm のエッチングストッパ膜 10、フルオロシリケートガラス (FSG) からなる厚さ 250 nm の層間絶縁膜 11、及び酸化シリコン (SiO<sub>2</sub>) からなる厚さ 150 nm のキャップ膜 12 を、この順番に形成する。

#### 【 0 0 2 4 】

キャップ膜 12 から層間絶縁膜 6 の上面まで達する配線溝を形成する。配線溝



の底面に、タングステンプラグ 9 の上面が露出する。配線溝の内面を、TiN または TaN からなるバリアメタル層 1 4 で覆い、内部に銅を埋め込み、配線 1 5 を形成する。バリアメタル層 1 4 と配線 1 5 は、成膜と CMP により形成される。ここまでの工程で、第 1 層目の配線が形成される。この段階で、基板の表面にキャップ膜 1 2 からなる絶縁領域が露出し、一部に配線 1 5 からなる導電性領域が露出している。

## 【 0 0 2 5 】

以下の、図 2 ～図 5 では、図 1 (A) の層間絶縁膜 1 1 及びその下の層については、記載を簡略化している。

図 2 (B) に示すように、配線 1 5 を含む第 1 層目の配線層の上に、SiC からなる厚さ 7 0 n m の拡散防止膜 2 0、SiO<sub>2</sub> からなる厚さ 5 0 0 n m の層間絶縁膜 2 1、SiC からなる厚さ 7 0 n m のエッチングストッパ膜 2 2、SiO<sub>2</sub> からなる厚さ 4 0 0 n m の層間絶縁膜 2 3 を、プラズマ CVD により形成する。

## 【 0 0 2 6 】

層間絶縁膜 2 3 の上に、窒化シリコン (SiN) からなる厚さ 3 0 n m の下側反射防止膜 2 5 をプラズマ CVD により形成する。下側反射防止膜 2 5 は、シラン (SiH<sub>4</sub>)、アンモニア (NH<sub>3</sub>)、窒素 (N<sub>2</sub>) ガスの流量をそれぞれ 2 6 0 s c c m、2 4 0 s c c m、及び 9 0 0 s c c m とし、プラズマ容器内の圧力約 3 3 0 P a (2. 5 T o r r)、入力高周波電力 1 2 0 W の条件で成膜される。この条件で形成された SiN 膜の、KrF エキシマレーザの波長における減衰係数は約 1. 4 になる。

## 【 0 0 2 7 】

下側反射防止膜 2 5 の上に、SiN からなる厚さ 2 0 n m の上側反射防止膜 2 6 をプラズマ CVD により形成する。上側反射防止膜 2 6 は、SiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub> ガスの流量をそれぞれ 1 5 5 s c c m、9 4 0 s c c m、及び 9 0 0 s c c m とし、プラズマ容器内の圧力約 4 7 0 P a (3. 5 T o r r)、入力高周波電力 1 0 0 W の条件で成膜される。この条件で形成された SiN 膜の、KrF エキシマレーザの波長における減衰係数は約 0. 6 になる。



## 【 0 0 2 8 】

上側反射防止膜 2 6 の上に、 $\text{SiO}_2$  からなる厚さ 1 0 n m のキャップ膜 2 7 を、プラズマ C V D により形成する。キャップ膜 2 7 は、 $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{N}_2$  ガスの流量をそれぞれ 3 2 s c c m、4 8 0 s c c m、及び 4 5 0 0 s c c m とし、プラズマ容器内の圧力約 6 0 0 P a ( 4 . 5 T o r r )、入力高周波電力 3 2 0 W の条件で成膜される。この条件で形成された  $\text{SiO}_2$  膜の、K r F エキシマレーザの波長における減衰係数はほぼ 0 である。

## 【 0 0 2 9 】

キャップ膜 2 7 の表面に、K r F 用レジスト材料をスピン塗布し、レジスト膜 3 0 を形成する。K r F エキシマレーザを用いてレジスト膜 3 0 を露光し、現像して、ビアホール形成用の開口 3 0 a を形成する。

## 【 0 0 3 0 】

下側反射防止膜 2 5 は、吸収モードにより露光光の反射を防止する。上側反射防止膜 2 6 は、減殺的干渉モードにより、露光光の反射を防止する。この 2 層の反射防止膜により露光光の反射が防止されるため、反射防止膜よりも下の各層の膜厚のばらつき等に起因する反射率のばらつきの影響を軽減し、極微細な開口を再現性よく形成することが可能になる。

## 【 0 0 3 1 】

レジスト膜 3 0 に開口 3 0 a を形成した後、所望の大きさの開口 3 0 a が形成されているか否かを検査する。開口 3 0 a の大きさが許容範囲から外れている場合には、レジスト膜 3 0 を、酸素プラズマを用いたアッシングにより除去し、再度、レジスト材料の塗布、露光、及び現像を行う。

## 【 0 0 3 2 】

レジスト膜 3 0 の除去時に、上側反射防止膜 2 6 がキャップ膜 2 7 で覆われているため、上側反射防止膜 2 6 の変質を防止することができる。このため、再露光時にも、設計どおりの反射防止効果を得ることができる。

## 【 0 0 3 3 】

図 2 ( C ) に示すように、レジスト膜 3 0 をマスクとしてエッチングを行い、拡散防止膜 2 0 の上面まで達するビアホール 3 2 を形成する。このエッチングは



、エッチングガスとして $C_4F_6$ を用いたドライエッチングにより行うことができる。反射防止膜 2 0 がエッチングストッパ膜として働く。

## 【 0 0 3 4 】

図 2 (D) に示すように、レジスト膜 3 0 をアッシングすることにより除去する。この時、キャップ膜 2 7 が上側反射防止膜 2 6 を保護しているため、上側反射防止膜 2 6 の変質を防止することができる。

## 【 0 0 3 5 】

図 3 (E) に示すように、ビアホール 3 2 の底面を保護部材 3 5 で覆う。保護部材 3 5 は、全面にレジスト材料等の樹脂を塗布した後、樹脂層をエッチバックすることにより形成することができる。樹脂層のエッチバックは、例えばエッチングガスとして $O_2$ を用いて行うことができる。保護部材 3 5 の上面が、拡散防止膜 2 0 とエッチングストッパ膜 2 2 との間に位置するように、エッチバック量を制御する。

## 【 0 0 3 6 】

図 3 (F) に示すように、キャップ膜 2 7 の上に、K r F 用レジスト材料をスピン塗布してレジスト膜 3 7 を形成する。レジスト膜 3 7 を露光、現像し、第 2 層目の配線パターンに対応する開口 3 7 a を形成する。

## 【 0 0 3 7 】

開口 3 7 a の幅が許容範囲内に収まっているか否かを検査する。開口 3 7 a の幅が許容範囲から外れている場合には、レジスト膜 3 7 及び保護部材 3 5 を、酸素プラズマを用いたアッシング、及びウェット系の後処理を行うことにより、取り除く。ウェット系の後処理液として、例えば弗化アンモニウムを用いる。その後、再度、保護部材 3 5 の形成、レジスト膜 3 7 の形成、露光、及び現像を行う。この時も、上側反射防止膜 2 6 がキャップ膜 2 7 で覆われているため、再露光時に、設計通りの反射防止効果を得ることができる。

## 【 0 0 3 8 】

図 3 (G) に示すように、レジスト膜 3 7 をマスクとしてエッチングを行い、エッチングストッパ膜 2 2 の上面まで達する配線溝 3 8 を形成する。このエッチングは、例えば $C_4F_6$ を用いたドライエッチングにより行うことができる。エッ



チングストップ膜 2 2 が配置されているため、配線溝 3 8 の深さを容易に制御することができる。ビアホール 3 2 内に埋め込まれた保護部材 3 5 が配線 1 5 を保護しているため、配線溝 3 8 を形成する時に第 1 層目の配線 1 5 がダメージを受けることを防止できる。

## 【 0 0 3 9 】

図 4 (H) に示すように、キャップ膜 2 7 の表面を覆っていたレジスト膜 3 7 及び保護部材 3 5 を、酸素プラズマを用いてアッシングすることにより除去する。

## 【 0 0 4 0 】

図 4 (I) に示すように、ビアホール 3 2 の底面に残っていた拡散防止膜 2 0 を除去し、第 1 層目の配線 1 5 を露出させる。拡散防止膜 2 0 のエッチングは、 $C_4F_6$  を用いたドライエッチングにより行うことができる。このとき、配線溝 3 8 の底面に露出していたエッチングストップ膜 2 2 も除去される。

## 【 0 0 4 1 】

層間絶縁膜 2 3 の上に形成されていた下側反射防止膜 2 5、上側反射防止膜 2 6、及びキャップ膜 2 7 を、 $C_4F_6$  を用いたドライエッチングにより除去する。

図 5 (J) に示すように、ビアホール 3 2 の内面、配線溝 3 8 の内面、及び層間絶縁膜 2 3 の上面を覆うように、タンタル (Ta) からなる厚さ 2 0 nm のバリアメタル層 4 0 をスパッタリングにより形成する。さらに、銅のシード層を形成し、銅めっきを行う。ビアホール 3 2 及び配線溝 3 8 内を埋め込む銅膜 4 1 が形成される。

## 【 0 0 4 2 】

図 5 (K) に示すように、余分な銅膜 4 1 及びバリアメタル層 4 0 を CMP により除去し、ビアホール 3 2 内及び配線溝 3 8 内に配線 4 1 を残す。

図 5 (L) に示すように、配線 4 1 を含む第 2 層目の配線層の上に、SiC からなる拡散防止膜 4 5 を形成する。第 2 層目の配線層の形成と同様の方法により、第 3 層目以上の配線層を形成することができる。

## 【 0 0 4 3 】

上記第 1 の実施例では、上側反射防止膜 2 6 の上に、キャップ膜 2 7 が配置さ



れているため、一旦形成したレジスト膜をアッシングにより除去して、再露光を行う場合に、上側反射防止膜 2 6 の変質を防止することができる。このため、再露光時にも、初期の反射防止効果と同等の効果を得ることができる。

## 【 0 0 4 4 】

キャップ膜 2 7 は、レジスト膜のアッシングの環境に晒されても、光学定数が変化しにくい材料で形成することが好ましい。例えば、上側反射防止膜 2 6 の減衰係数よりも小さな減衰係数を有する材料で形成することが好ましい。理想的には、露光光の波長における減衰係数がほぼ 0 の材料を用いることが好ましい。このような材料として、 $\text{SiO}_2$ の他に、 $\text{SiN}$ や $\text{SiC}$ が挙げられる。第 1 の実施例では、反射防止膜 2 5 及び 2 6 を、それぞれ減衰係数が 1.4 及び 0.6 の  $\text{SiN}$  で形成したが、成膜条件を調整することにより、 $\text{SiN}$  の減衰係数をほぼ 0 にすることができる。

## 【 0 0 4 5 】

上記第 1 の実施例では、拡散防止膜 2 0 及びエッチングストッパ膜 2 2 を  $\text{SiC}$  で形成したが、層間絶縁膜 2 1 及び 2 3 とエッチング選択比を確保できる他の材料で形成してもよい。例えば、 $\text{SiN}$  等で形成してもよい。また、層間絶縁膜 2 1 及び 2 3 を、 $\text{FSG}$ 、 $\text{SiOC}$  等の無機低誘電率材料、または  $\text{SiLK}$  (ダウケミカル社の商標) 等の有機低誘電率材料で形成してもよい。

## 【 0 0 4 6 】

また、層間絶縁膜 2 1 と 2 3 との間に、エッチングストッパ膜 2 2 を挿入しているが、このエッチングストッパ膜 2 2 を無くしてもよい。この場合には、図 3 (G) に示した配線溝 3 8 を形成する際に、エッチング時間で配線溝 3 8 の深さを制御すればよい。

## 【 0 0 4 7 】

また、上記第 1 の実施例では、反射防止膜 2 5 及び 2 6 を  $\text{SiN}$  で形成したが、他の材料で形成してもよい。下側反射防止膜 2 5 は、吸収モードによる反射率低減効果を得るために、減衰係数が 1 以上の材料で形成することが好ましい。上側反射防止膜 2 6 は、減殺的干渉モードによる反射率低減効果を得るために、減衰係数が 0.9 以下の材料で形成することが好ましい。



## 【 0 0 4 8 】

下側及び上側反射防止膜をアモルファスカーボンで形成し、キャップ膜を  $\text{SiO}_2$ 、 $\text{SiN}$ 、または  $\text{SiC}$  で形成してもよい。下側及び上側反射防止膜を  $\text{SiN}$  で形成し、キャップ膜を  $\text{SiO}_2$ 、 $\text{SiN}$ 、または  $\text{SiC}$  で形成してもよい。下側及び上側反射防止膜を酸化窒化シリコン ( $\text{SiOC}$ ) で形成し、キャップ膜を  $\text{SiO}_2$ 、 $\text{SiN}$ 、または  $\text{SiC}$  で形成してもよい。下側反射防止膜、上側反射防止膜、及びキャップ膜の材料が同じであっても、これらの膜の成膜条件を制御することにより、各膜の減衰係数を所望の値にすることができる。

## 【 0 0 4 9 】

上記第 1 の実施例では、露光及び現像の検査結果に基づいて再露光を行うか否かに係わらず、図 2 (C) に示したビアホール 3 2 を形成した後、レジスト膜 3 0 が除去され、図 3 (G) に示した配線溝 3 8 を形成するためのレジスト膜 3 7 の露光が行われる。このため、第 1 の実施例によるデュアルダマシン法で銅配線を形成する場合には、露光不良による再露光を行うか否かに係わらず、キャップ膜 2 7 を配置する効果が期待できる。

## 【 0 0 5 0 】

上記第 1 の実施例では、デュアルダマシン法によって銅配線を作製する方法を説明したが、シングルダマシン法によって図 1 の第 1 層目の銅配線 1 5 を作製する場合にも、上記第 1 の実施例の下側反射防止膜 2 5、上側反射防止膜 2 6、及びキャップ膜 2 7 を適用することが可能である。

## 【 0 0 5 1 】

次に、図 6 及び図 7 を参照して、第 2 の実施例による半導体装置の製造方法について説明する。

図 6 (A) に示すように、シリコンからなる半導体基板 5 0 の表面上に、 $\text{SiO}_2$  からなる厚さ 1 0 n m のライナー膜 5 1 を、熱酸化により形成する。ライナー膜 5 1 の上に、 $\text{SiN}$  からなる厚さ 1 0 0 n m のマスク膜 5 2 を、CVD により形成する。

## 【 0 0 5 2 】

マスク膜 5 2 の上に、減衰係数 1 . 4 のアモルファスカーボンからなる厚さ 3



0 nm の下側反射防止膜 5 3、減衰係数 0.6 のアモルファスカーボンからなる上側反射防止膜 5 4、及び実質的に減衰係数が 0 の  $\text{SiO}_2$  からなるキャップ膜 5 5 を順番に形成する。キャップ膜 5 5 の上に、ArF エキシマレーザ用のレジスト膜 5 6 を形成する。レジスト膜 5 6 の露光、現像を行い、形成すべき素子分離絶縁領域に対応する開口 5 6 a を形成する。なお、下側反射防止膜 5 3 及び上側反射防止膜 5 4 の減衰係数は、ArF エキシマレーザの波長 198 nm におけるものである。

## 【 0 0 5 3 】

所望の大きさの開口 5 6 a が形成されなかった場合には、レジスト膜 5 6 をアッシングにより除去し、再度レジスト膜の形成、露光、及び現像を行う。このとき、キャップ膜 5 5 が、上側反射防止膜 5 4 を保護しているため、上側反射防止膜 5 4 の光学定数を初期状態に保つことができる。このため、再露光時にも、設計通りの露光条件で安定した露光を行うことができる。

## 【 0 0 5 4 】

図 6 (B) に示すように、レジスト膜 5 6 をマスクとしてキャップ膜 5 5 から下側反射防止膜 5 3 までの 3 層をドライエッチングする。このエッチング時にレジスト膜 5 6 の表層部もエッチングされて薄くなる。残っているレジスト膜 5 6 を除去する。

## 【 0 0 5 5 】

図 6 (C) に示すように、反射防止膜 5 3、5 4 及びキャップ膜 5 5 をマスクとして、マスク膜 5 2 及びライナー膜 5 1 をエッチングする。ArF エキシマレーザ用のレジスト膜と  $\text{SiN}$  膜とのエッチング選択比が小さい場合であっても、反射防止膜 5 3、5 4 及びキャップ膜 5 5 をハードマスクとして用いることにより、その下のマスク膜 5 2 をパターンニングすることができる。

## 【 0 0 5 6 】

図 7 (D) に示すように、マスク膜 5 2 をマスクとして、半導体基板 5 0 の表層部をエッチングしてシャロートレンチ 6 0 を形成する。

図 7 (E) に示すように、マスク膜 5 2 及びライナー膜 5 1 を除去する。シャロートレンチ 6 0 内を埋め込むように酸化シリコン膜を堆積させ、CMP を行う



ことにより、シャロートレンチ 6 0 内に  $\text{SiO}_2$  からなる素子分離絶縁膜 6 1 を残す。

【 0 0 5 7 】

上記第 1 の実施例では、ダマシン法による銅配線の形成のための露光及び現像工程について説明し、第 2 の実施例では、シャロートレンチアイソレーション用のトレンチの形成のための露光及び現像工程について説明した。これらの実施例で用いた下側反射防止膜、上側反射防止膜、及びキャップ膜の 3 層構造は、その他の露光及び現像工程、例えばゲート電極形成のための露光及び現像工程に適用することも可能である。

【 0 0 5 8 】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【 0 0 5 9 】

上述の実施例から、以下の付記に示された発明が導出される。

(付記 1) 下地基板の表面上に、吸収モードにより反射を抑制する第 1 の反射防止膜を形成する工程と、

前記第 1 の反射防止膜の上に、減殺的干渉モードにより反射を抑制する第 2 の反射防止膜を形成する工程と、

前記第 2 の反射防止膜の上に、キャップ膜を形成する工程と、

前記キャップ膜の上に、感光性レジスト膜を形成する工程と、

前記感光性レジスト膜を、第 1 の波長の光で露光して潜像を形成する工程と、

露光された前記レジスト膜を現像する工程と

を有する微細パターンの形成方法。

【 0 0 6 0 】

(付記 2) 前記第 1 の波長における前記キャップ膜の減衰係数が、前記第 2 の反射防止膜の減衰係数よりも小さい付記 1 に記載の微細パターンの形成方法。

(付記 3) 前記第 1 の波長における前記キャップ膜の減衰係数が 0 である付記 1 または 2 に記載の微細パターンの形成方法。



【 0 0 6 1 】

(付記 4) 前記第 1 の波長における前記第 1 の反射防止膜の減衰係数が 1 以上である付記 1 ～ 3 のいずれかに記載の微細パターンの形成方法。

(付記 5) 前記第 1 の波長における前記第 2 の反射防止膜の減衰係数が 0.9 以下である付記 1 ～ 4 のいずれかに記載の微細パターンの形成方法。

【 0 0 6 2 】

(付記 6) 半導体素子が形成され、絶縁性表面の一部に導電性部材が露出した基板の表面上に層間絶縁膜を形成する工程と、

前記層間絶縁膜の上に、第 1 の減衰係数を有する第 1 の反射防止膜を形成する工程と、

前記第 1 の反射防止膜の上に、前記第 1 の減衰係数よりも小さい第 2 の減衰係数を有する第 2 の反射防止膜を形成する工程と、

前記第 2 の反射防止膜の上に、キャップ膜を形成する工程と、

前記キャップ膜の上に、第 1 の感光性レジスト膜を形成する工程と、

前記第 1 の感光性レジスト膜を第 1 の波長の光で露光し、現像して、該第 1 の感光性レジスト膜に開口を形成する工程と、

前記第 1 の感光性レジスト膜をマスクとして、前記層間絶縁膜をエッチングする工程と

を有する半導体装置の製造方法。

【 0 0 6 3 】

(付記 7) 前記第 1 の波長における前記キャップ膜の減衰係数が、前記第 2 の反射防止膜の減衰係数よりも小さい付記 6 に記載の半導体装置の製造方法。

(付記 8) 前記第 1 の波長における前記キャップ膜の減衰係数が 0 である付記 6 または 7 に記載の半導体装置の製造方法。

【 0 0 6 4 】

(付記 9) 前記第 1 の波長における前記第 1 の反射防止膜の減衰係数が 1 以上である付記 6 ～ 8 のいずれかに記載の半導体装置の製造方法。

(付記 10) 前記第 1 の波長における前記第 2 の反射防止膜の減衰係数が 0.9 以下である付記 6 ～ 9 のいずれかに記載の半導体装置の製造方法。



【 0 0 6 5 】

(付記 1 1) 半導体素子が形成され、絶縁性表面の一部に導電性部材が露出した基板の表面上に層間絶縁膜を形成する工程と、

前記層間絶縁膜の上に、吸収モードにより反射を抑制する第 1 の反射防止膜を形成する工程と、

前記第 1 の反射防止膜の上に、減殺的干渉モードにより反射を抑制する第 2 の反射防止膜を形成する工程と、

前記第 2 の反射防止膜の上に、キャップ膜を形成する工程と、

前記キャップ膜の上に、第 1 の感光性レジスト膜を形成する工程と、

前記第 1 の感光性レジスト膜を第 1 の波長の光で露光し、現像して、該第 1 の感光性レジスト膜に、前記層間絶縁膜上に形成された配線を前記導電性部材に接続するためのビアホールに対応した開口を形成する工程と、

前記第 1 の感光性レジスト膜をマスクとして、前記層間絶縁膜をエッチングし、ビアホールを形成する工程と、

前記第 1 の感光性レジスト膜を除去する工程と、

前記キャップ膜の上に、第 2 の感光性レジスト膜を形成する工程と、

前記第 2 の感光性レジスト膜を第 1 の波長の光で露光し、現像して、該第 2 の感光性レジスト膜に、前記層間絶縁膜上に形成される配線パターンに対応した開口を形成する工程と、

前記第 2 の感光性レジスト膜をマスクとして、前記層間絶縁膜をエッチングし、該層間絶縁膜の厚さ方向の途中まで達する配線溝を形成する工程と、

前記第 2 の感光性レジスト膜を除去する工程と、

前記ビアホールの底面に前記導電性部材が露出していない場合には、該導電性部材が露出するまで前記ビアホールを深くする工程と、

前記ビアホール及び配線溝内に、導電性の配線材料を埋め込む工程とを有する半導体装置の製造方法。

【 0 0 6 6 】

(付記 1 2) 前記第 1 の波長における前記キャップ膜の減衰係数が、前記第 2 の反射防止膜の減衰係数よりも小さい付記 1 1 に記載の半導体装置の製造方法



【 0 0 6 7 】

（付記 1 3） 前記第 1 の波長における前記キャップ膜の減衰係数が 0 である付記 1 1 または 1 2 に記載の半導体装置の製造方法。

（付記 1 4） 前記第 1 の波長における前記第 1 の反射防止膜の減衰係数が 1 以上である付記 1 1 ～ 1 3 のいずれかに記載の半導体装置の製造方法。

【 0 0 6 8 】

（付記 1 5） 前記第 1 の波長における前記第 2 の反射防止膜の減衰係数が 0 . 9 以下である付記 1 1 ～ 1 4 のいずれかに記載の半導体装置の製造方法。

【 0 0 6 9 】

【発明の効果】

以上説明したように、本発明によれば、減殺的干渉モードによる反射防止膜の上にキャップ膜を配置することにより、その上のレジスト膜を除去する時に反射防止膜が変質することを防止できる。これにより、露光及び現像結果が不良で、レジスト膜を除去して再露光を行う時にも、初期の反射防止効果を得ることができ

【図面の簡単な説明】

【図 1】 第 1 の実施例による半導体装置の製造方法を説明するための製造途中の装置の断面図（その 1）である。

【図 2】 第 1 の実施例による半導体装置の製造方法を説明するための製造途中の装置の断面図（その 2）である。

【図 3】 第 1 の実施例による半導体装置の製造方法を説明するための製造途中の装置の断面図（その 3）である。

【図 4】 第 1 の実施例による半導体装置の製造方法を説明するための製造途中の装置の断面図（その 4）である。

【図 5】 第 1 の実施例による半導体装置の製造方法を説明するための製造途中の装置の断面図（その 5）である。

【図 6】 第 2 の実施例による半導体装置の製造方法を説明するための製造途中の装置の断面図（その 1）である。



【図 7】 第 2 の実施例による半導体装置の製造方法を説明するための製造途中の装置の断面図（その 2）である。

【図 8】 従来の半導体装置の製造方法を説明するための製造途中の装置の断面図である。

【図 9】 従来の半導体装置の製造方法を説明するための製造途中の装置の断面図である。

【符号の説明】

- 1 半導体基板
- 2、6 1 素子分離絶縁膜
- 3 MOSFET
- 5、1 0、2 2 エッチングストッパ膜
- 6、1 1、2 1、2 3 層間絶縁膜
- 1 2、2 7、5 5 キャップ膜
- 1 4、4 0 バリアメタル層
- 1 5、4 1 配線
- 2 0、4 5 拡散防止膜
- 2 5、5 3 下側反射防止膜
- 2 6、5 4 上側反射防止膜
- 3 0、3 7、5 6 レジスト膜
- 3 2 ビアホール
- 3 5 保護部材
- 3 8 配線溝
- 5 0 半導体基板
- 5 1 ライナー膜
- 5 2 マスク膜
- 6 0 シャロートレンチ

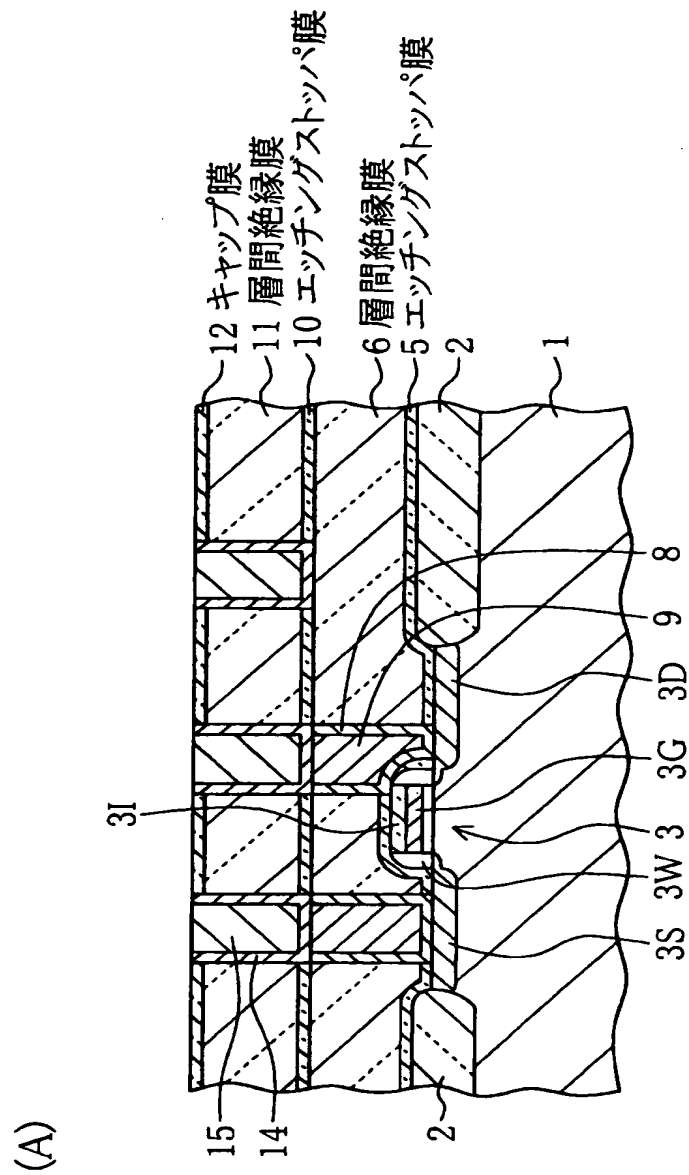


【書類名】

図面

【図 1】

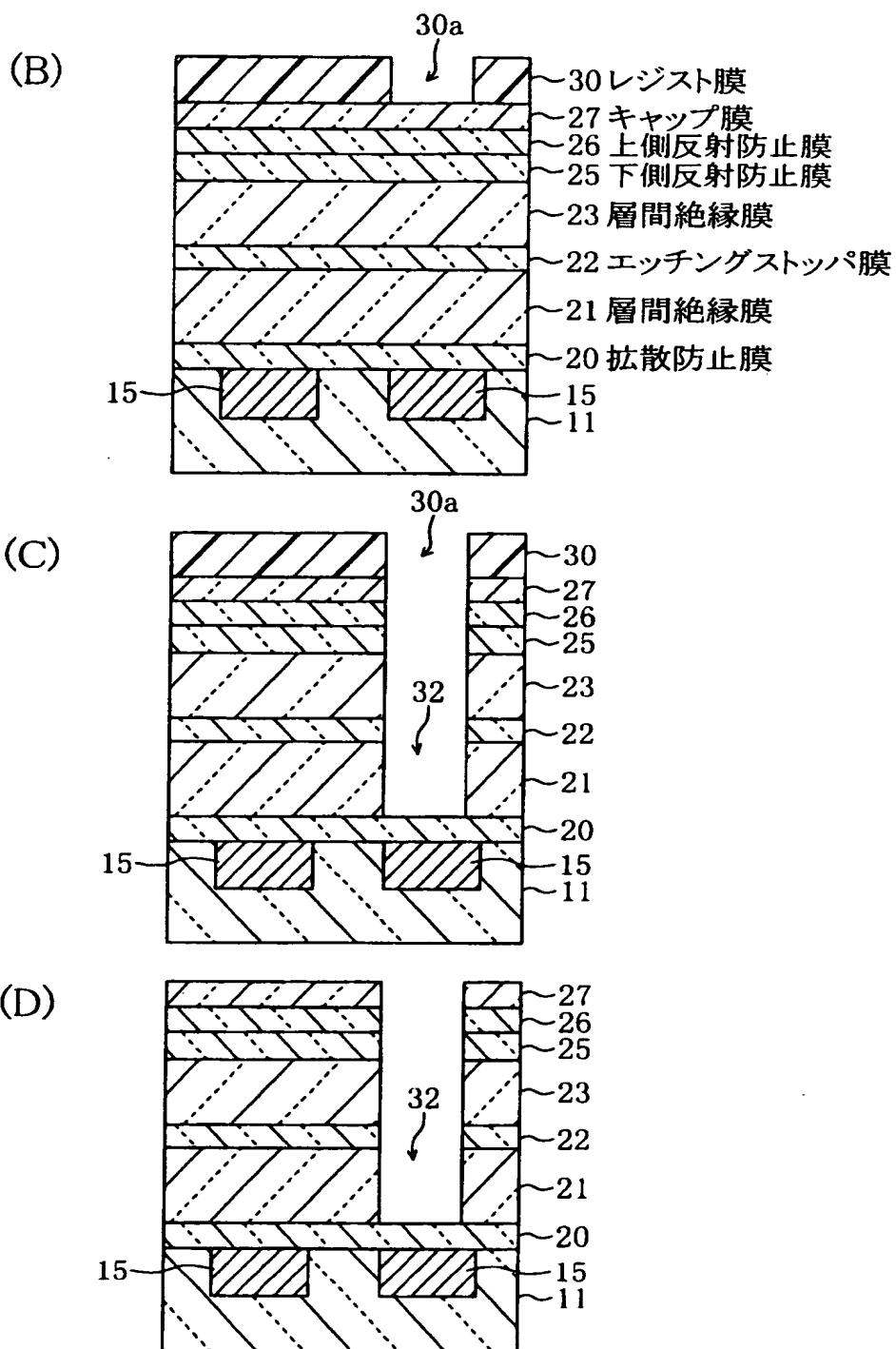
## 第1の実施例 (その1)





【図 2】

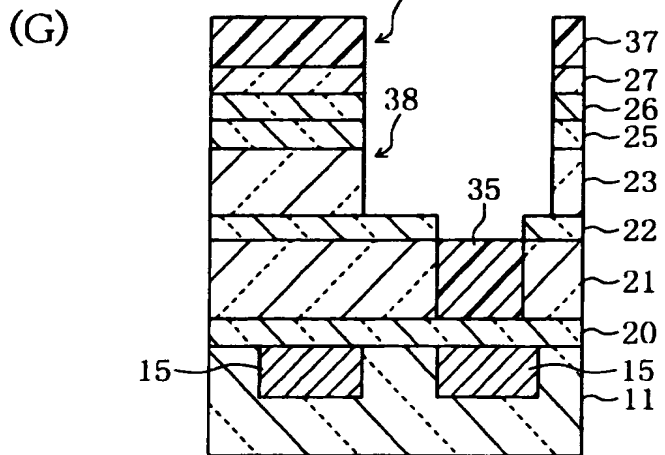
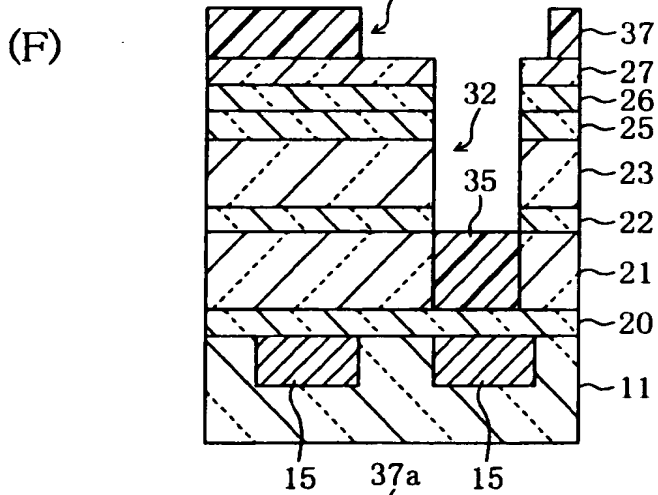
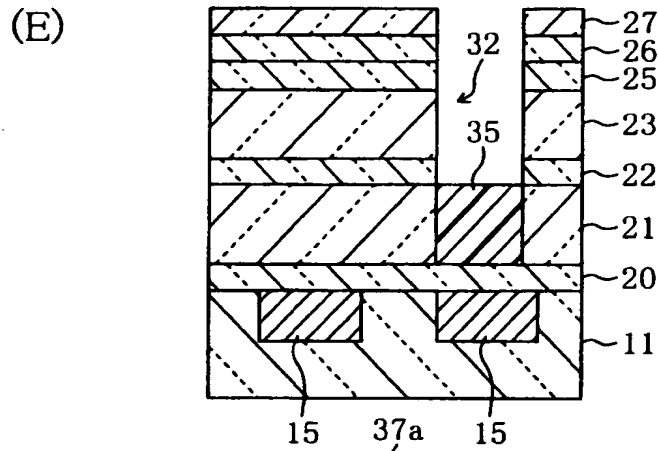
## 第1の実施例（その2）





【図 3】

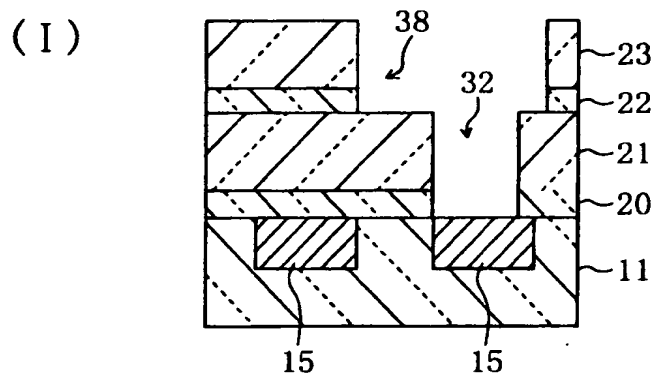
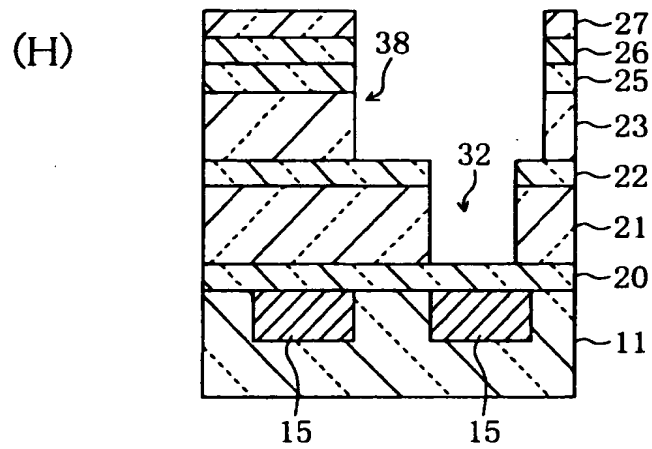
第1の実施例（その3）





【図 4】

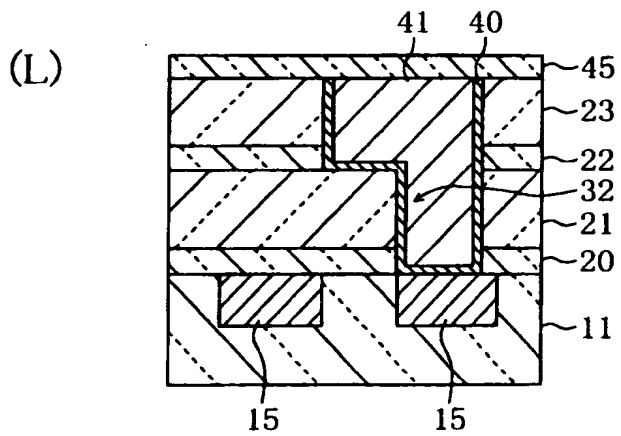
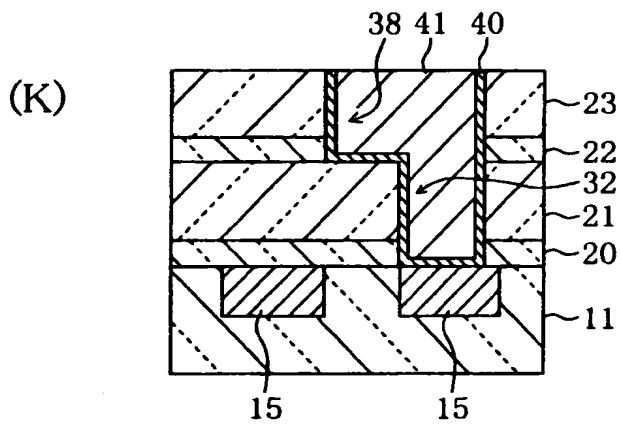
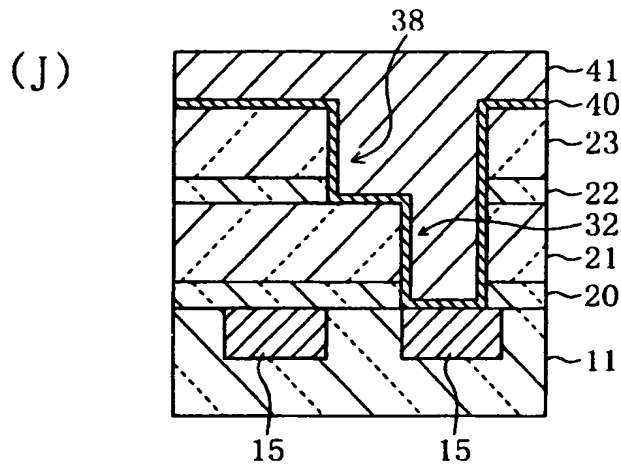
第1の実施例（その4）





【図 5】

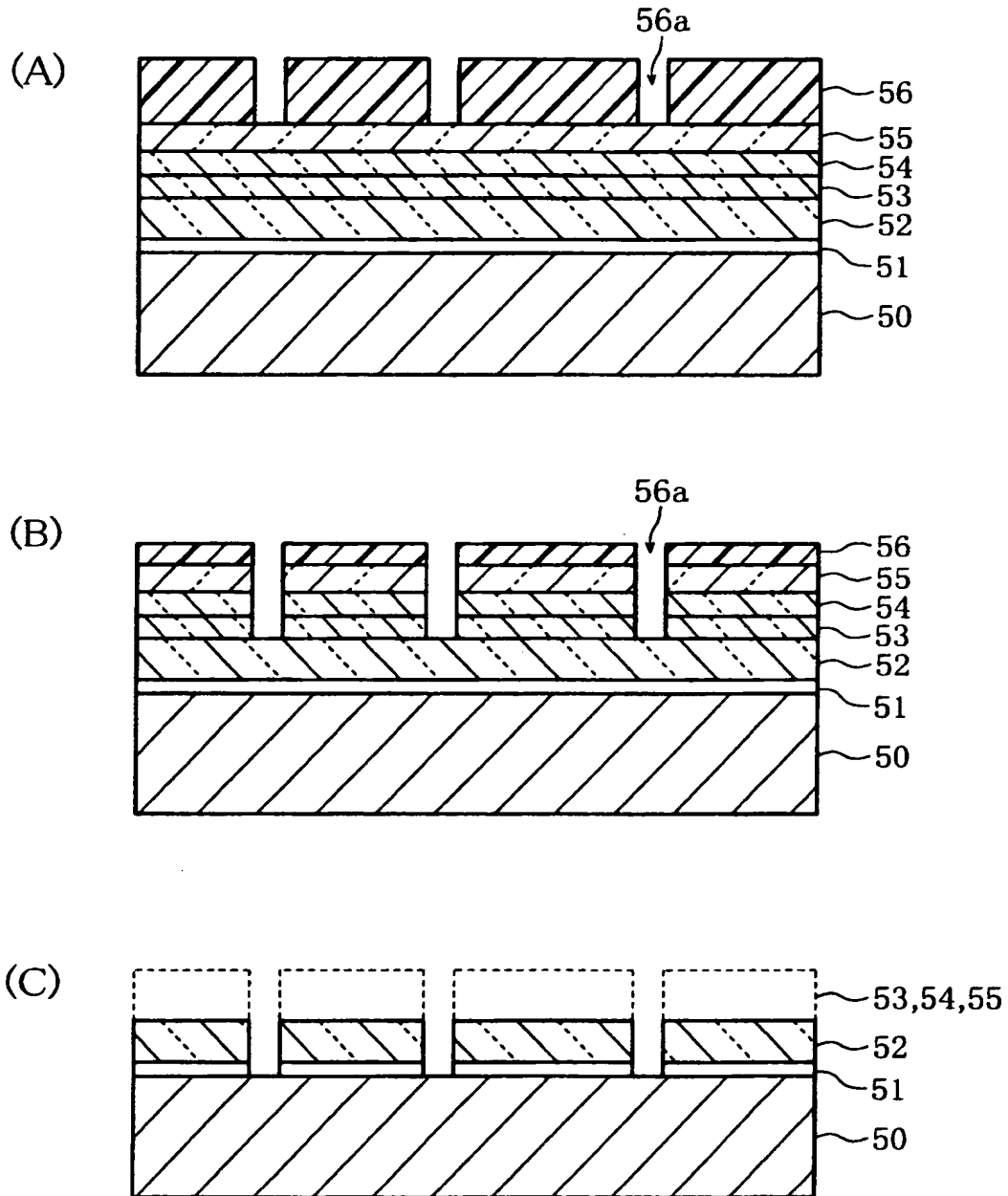
第1の実施例（その5）





【図 6】

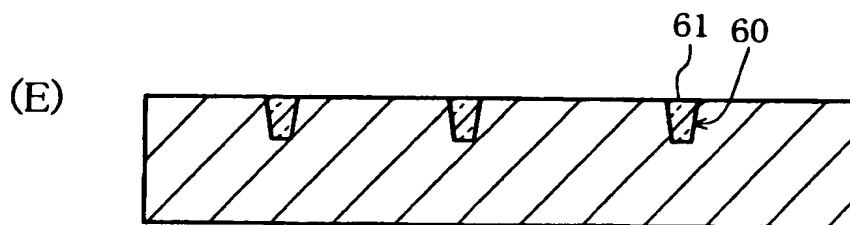
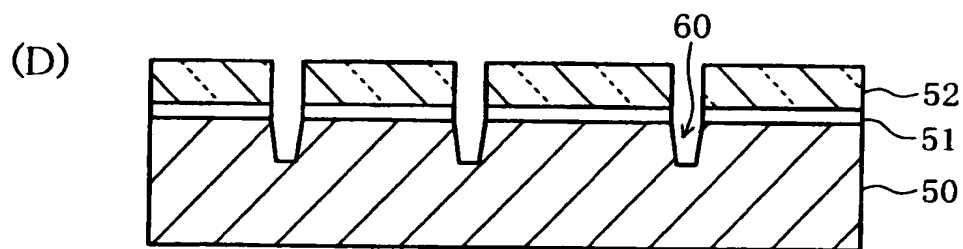
第2の実施例（その1）





【図 7】

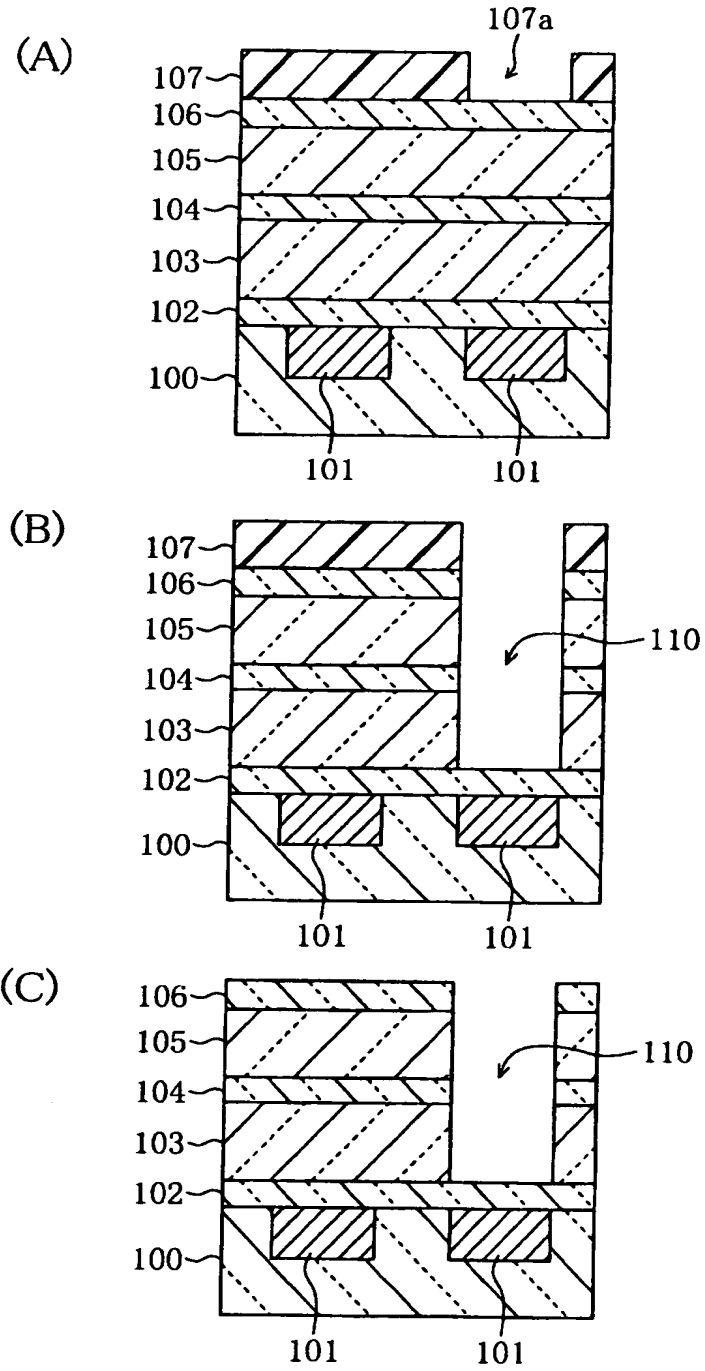
第2の実施例（その2）





【図 8】

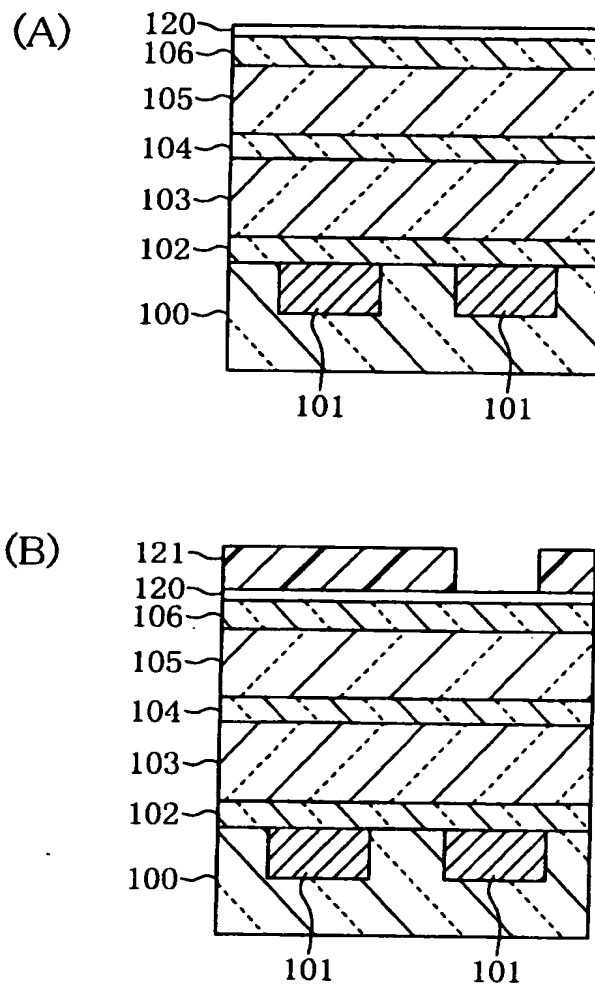
従来例





【図 9】

従来例





【書類名】 要約書

【要約】

【課題】 レジスト膜をアッシングして再度レジスト塗布を行っても、当初の反射率低減効果を得ることができる微細パターン形成方法を提供する。

【解決手段】 下地基板の表面上に、吸収モードにより反射を抑制する第1の反射防止膜を形成する。第1の反射防止膜の上に、減殺的干渉モードにより反射を抑制する第2の反射防止膜を形成する。第2の反射防止膜の上に、キャップ膜を形成する。キャップ膜の上に、感光性レジスト膜を形成する。感光性レジスト膜を、第1の波長の光で露光して潜像を形成する。露光されたレジスト膜を現像する。

【選択図】 図2



出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社